

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
POIROUX ET AL.

Serial No. **10/672,931**

Filing Date: **SEPTEMBER 26, 2003**

For: **PROCESS AND DEVICE FOR
EVALUATING A CMOS LOGICAL
CELL**

)
)
) Attorney Docket No. **54480**

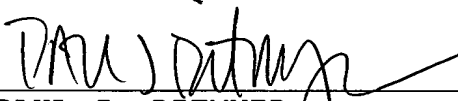
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the
priority French Application No. 0212022.

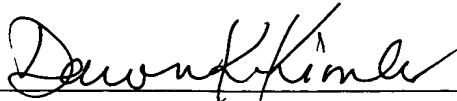
Respectfully submitted,



PAUL J. DITMYER
Reg. No. 40,455
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicants

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450, on this 14th day of
October, 2003.



Dawn K. Kimble



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

16 SEP. 2003

Fait à Paris, le _____

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

A handwritten signature in black ink, appearing to read 'M+Leuc', enclosed within a large, loopy oval stroke.

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

certificat
N° 11354*02

REQUÊTE EN DÉLIVRANCE

page 1/2

BR1

Cet imprimé est à remplir lisiblement à l'encre noire

03 540 61 010001

REMISE 27 SEPT 2002 DATE LIEU 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE 27 SEP. 2002 PAR L'INPI Vos références pour ce dossier (facultatif) B02/2055FR-FZ		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Bureau D.A. CASALONGA - JOSSE 8, avenue Percier 75008 PARIS	
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie		2 NATURE DE LA DEMANDE Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale N° _____ Date _____ ou demande de certificat d'utilité initiale N° _____ Date _____			
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/> N° _____ Date _____	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Procédé et dispositif de caractérisation d'une cellule logique CMOS destinée à être réalisée dans une technologie du type silicium sur isolant partiellement appauvri, permettant une simulation accélérée des effets d'histoire.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suit »	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		_____	
Code APE-NAF		_____	
Domicile ou siège	Rue	29, Boulevard Romain Rolland	
	Code postal et ville	92120 MONTRouGE	
	Pays	FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input checked="" type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

Remplir impérativement la 2^{ème} page



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE
page 2/2

BR2

REMISE 27 SEPT 2002 DATE LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0212022 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI DB 540 " W / 010901
Vos références pour ce dossier : <i>(facultatif)</i>		B02/2055FR-FZ
MANDATAIRE <i>(s'il y a lieu)</i>		
Nom		
Prénom		
Cabinet ou Société		Bureau D.A. CASALONGA - JOSSE
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	8, avenue Percier
	Code postal et ville	75 008 PARIS
	Pays	
N° de téléphone <i>(facultatif)</i>		
N° de télécopie <i>(facultatif)</i>		
Adresse électronique <i>(facultatif)</i>		
INVENTEUR (S)		Les inventeurs sont nécessairement des personnes physiques
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)
RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>
Paiement échelonné de la redevance <i>(en deux versements)</i>		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non
RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention <i>(joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence)</i> : AG []
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		1
SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI M. MARTIN
Axel CASALONGA, bm 921044 Conseil en Propriété Industrielle		



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

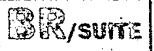
BREVET D'INVENTION
CERTIFICAT D'UTILITÉ
Code de la propriété intellectuelle - Livre VI



N° 11354*02

REQUÊTE EN DÉLIVRANCE

Page suite N° 1.../1...



REMISE DE PIÈCES DATE 27 SEPT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0212022 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI Cet imprimé est à remplir lisiblement à l'encre noire	
Vos références pour ce dossier (facultatif) B02/2055FR-FZ			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date _____ N° Pays ou organisation Date _____ N° Pays ou organisation Date _____ N°	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		COMMISSARIAT A L'ENERGIE ATOMIQUE	
Prénoms			
Forme juridique		Etablissement public de caractère scientifique, technique et industriel	
N° SIREN		_____	
Code APE-NAF		_____	
Domicile ou siège	Rue	31-33 rue de la Fédération	
	Code postal et ville	75 015 PARIS	
	Pays	FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			
5 DEMANDEUR (Cochez l'une des 2 cases)		<input type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale			
Prénoms			
Forme juridique			
N° SIREN		_____	
Code APE-NAF		_____	
Domicile ou siège	Rue		
	Code postal et ville	_____	
	Pays		
Nationalité			
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE MOU DE L'INPI M. MARTIN	
Axel CASALONGA, bm 92 1044 Conseil en Propriété Industrielle			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI

Procédé et dispositif de caractérisation d'une cellule logique CMOS destinée à être réalisée dans une technologie du type silicium sur isolant partiellement appauvri, permettant une simulation accélérée des effets d'histoire.

5

L'invention concerne le comportement des circuits logiques CMOS réalisés dans une technologie du type silicium sur isolant partiellement appauvri (PD-SOI : "Partially Depleted Silicon-on-Insulator" en langue anglaise), et plus particulièrement la caractérisation de ces circuits, en termes par exemple de retard temporel.

10

Ces dernières années, la technologie SOI (silicium sur isolant : "Silicon On Insulator" en langue anglaise) s'est révélée être une alternative particulièrement intéressante à la technologie classique CMOS réalisée sur silicium massif. Plus particulièrement, les effets dits de « substrat flottant », bien connu par l'homme du métier dans la technologie SOI, et la réduction des capacités de jonction sont les causes principales des performances améliorées apportées par cette technologie SOI. Par contre, les effets de substrat flottant présentent des inconvénients.

15

20

L'un d'entre eux est l'effet d'hystérésis de la tension de seuil d'un transistor, qui se traduit par des variations de retard temporel, c'est-à-dire des variations dans le temps de propagation d'un signal entre l'entrée et la sortie d'une cellule logique incorporant de tels transistors, par exemple un inverseur.

25

Une technologie du type silicium sur isolant partiellement appauvri introduit une dépendance "temporelle" des retards, de telle sorte que la même structure peut présenter des retards différents de cycle à cycle lorsqu'elle est cadencée par un signal d'horloge. Une méthode d'initialisation de la tension du substrat flottant est généralement utilisée dans la conception des circuits SOI et des tolérances d'erreurs sont utilisées pour prendre en compte ces

30

contraintes temporelles. Cependant, une telle solution peut conduire à surestimer ou sous-estimer les performances de la structure réalisée.

5 Par ailleurs, non seulement les retards dans les situations de pires cas mais également les retards dans les situations de meilleurs cas doivent être connus, notamment pour prendre en compte des problèmes de synchronisation. Cependant, tant les pires cas que les meilleurs cas sont difficiles à identifier car les paramètres de process et de conception tels que le gain en courant, la pente d'entrée, la charge, l'alimentation et la température, jouent un rôle clé.

10 Et, la nature variable des tensions de seuils dans les technologies PD-SOI est telle que la propagation d'une transition donnée entre l'entrée et la sortie d'une cellule logique conduit à un retard différent selon que l'on se trouve dans des conditions d'équilibre statique (DC) ou bien si l'on a atteint un état d'équilibre dynamique (AC "steady state").

15 Et, il s'avère en pratique impossible de caractériser une cellule logique par des simulations exhaustives car plusieurs milliers de cycles, donc plusieurs heures de simulation, sont nécessaires pour atteindre l'équilibre dynamique, et ce pour des cellules simples de type inverseur.

20 La caractérisation d'une cellule beaucoup plus complexe est totalement inenvisageable par cette méthode.

L'invention vise à apporter une solution à ce problème.

25 Un but de l'invention est de permettre une évaluation rapide des retards temporels dans l'état d'équilibre dynamique, ainsi qu'une évaluation rapide des retards dans les situations de meilleur et de pire cas, et ce même pour des cellules complexes.

30 L'invention propose donc un procédé de caractérisation d'une cellule logique CMOS destinée à être réalisée dans une technologie du type silicium sur isolant partiellement appauvri. Ce procédé comprend une modélisation de la cellule, par exemple en utilisant un modèle de transistor du type BSIM3SOI, et une phase de détermination des potentiels internes (ou potentiels des substrats flottants) des transistors de la cellule. Cette phase de détermination est basée sur

une simulation fonctionnelle de la cellule modélisée utilisant un signal binaire de stimulation. Dans cette phase de détermination, on injecte dans le substrat flottant de chaque transistor de la cellule, et à des instants d'injection successifs prédéterminés, une charge proportionnelle à la variation du potentiel interne de ce transistor, variation déterminée au cours d'un intervalle temporel prédéterminé du signal de stimulation précédant l'instant d'injection courant et exempt d'injection, de façon à accélérer la charge ou la décharge du substrat flottant du transistor.

10 L'injection de la charge s'effectue par exemple par l'injection d'un courant.

Bien entendu, la charge injectée peut être positive ou négative, ce qui permet de décharger ou de charger le substrat flottant d'un transistor.

15 Selon un mode de mise en œuvre de l'invention, on détermine le courant d'injection de sorte qu'après injection la variation du potentiel interne du transistor considéré atteigne n fois ladite variation mesurée du potentiel interne.

20 On détermine par exemple la valeur de n à partir de la mesure de la variation du potentiel interne d'un transistor de la cellule, par exemple au cours d'un premier cycle du signal de stimulation, et à partir de l'amplitude estimée de la variation du potentiel interne de ce transistor entre son état d'équilibre statique et son état d'équilibre dynamique.

25 Selon un mode de mise en œuvre de l'invention, dans lequel le signal de stimulation comporte sur chaque période une transition séparant deux plateaux, un instant d'injection se situe généralement en un endroit où le potentiel interne du transistor est relativement stable. A titre d'exemple, un instant d'injection peut se situer au cours d'un plateau et à distance d'une transition. La durée d'injection du courant est alors avantageusement choisie supérieure au pas de temps de la simulation fonctionnelle et inférieure à la durée d'un plateau.

30 Selon un mode de mise en œuvre de l'invention, deux instants d'injection consécutifs peuvent être espacés d'une durée égale à deux

périodes du signal de stimulation. Ledit intervalle temporel a alors une durée égale à une période du signal de stimulation.

5 Dans une telle variante, la cellule voit donc l'équivalent de $1+n$ impulsions du signal de stimulation au cours de deux périodes de simulation, ce qui conduit à un facteur d'accélération égal à $(1+n)/2$.

10 De façon à s'assurer que l'intervalle temporel prédéterminé au cours duquel on va calculer la variation du potentiel interne du transistor, soit exempt d'injection, on peut prendre comme instant initial de l'intervalle temporel, un instant qui précède l'instant d'injection de 1,5 périodes du signal de stimulation. Par ailleurs, l'instant final de cet intervalle temporel peut être pris comme étant l'instant précédent l'instant d'injection de 0,5 période du signal de stimulation.

15 Selon un mode de mise en œuvre de l'invention, pour la simulation fonctionnelle, on remplace chaque transistor de la cellule par un modèle de ce transistor associé à trois sources modélisées de tension contrôlées en tension, permettant de déterminer un potentiel interne cible du transistor à atteindre après injection. Par ailleurs, le transistor est également associé à une source modélisée de courant
20 délivrant le courant d'injection proportionnel à la différence entre le potentiel interne cible et le potentiel interne à l'instant d'injection.

Ainsi, par exemple, la première source de tension fournit à l'instant d'injection, la valeur du potentiel interne du transistor retardé d'une période du signal de stimulation. La deuxième source de tension
25 fournit la variation de potentiel interne sur une période, retardée d'une demi-période du signal de stimulation. Et, la troisième source de tension fournit le potentiel interne cible.

L'invention permet ainsi de déterminer, par exemple, l'évolution des potentiels internes des transistors de la cellule mais
30 également l'évolution des retards temporels, ou encore l'évolution d'autres paramètres de caractérisation tels que la consommation ou le courant de fuite, depuis l'état d'équilibre statique jusqu'à l'état d'équilibre dynamique, relatifs aux transitions montantes et descendantes du signal de stimulation, et pour les deux valeurs

initiales du signal de stimulation. On peut alors en déduire les pires cas ou aux meilleur cas pour ces paramètres. Cette détermination directe, en particulier des pires cas de retards temporels, constitue un avantage non négligeable de la méthode.

5 L'invention a également pour objet un dispositif de caractérisation d'une cellule logique CMOS destinée à être réalisée dans une technologie du type silicium sur isolant partiellement appauvri. Ce dispositif comprend des moyens de modélisation de la cellule et des
10 moyens de traitement aptes à effectuer une phase de détermination des potentiels internes de la cellule basée sur une simulation fonctionnelle de la cellule modélisée utilisant un signal périodique binaire de stimulation. Dans cette phase de détermination les moyens de traitement sont aptes à injecter dans le substrat flottant de chaque transistor de la
15 cellule, et à des instants d'injections successifs prédéterminés, une charge proportionnelle à la variation du potentiel interne de ce transistor déterminée au cours d'un intervalle temporel prédéterminé du signal de stimulation précédant l'instant d'injection courant et exempt d'injection, de façon à accélérer la charge ou la décharge du substrat flottant du transistor.

20 Selon un mode de réalisation de l'invention, les moyens de traitement déterminent le courant d'injection de sorte qu'après injection la variation du potentiel interne du transistor considéré atteigne n fois ladite variation mesurée du potentiel interne.

25 Selon un mode de réalisation de l'invention, les moyens de traitement déterminent la valeur de n à partir de la mesure de la variation du potentiel interne d'un transistor de la cellule et d'une amplitude estimée de la variation du potentiel interne de ce transistor entre son état d'équilibre statique et son état d'équilibre dynamique.

30 Selon un mode de réalisation de l'invention, les moyens de modélisation comportent pour chaque transistor de la cellule un modèle de ce transistor associé à trois sources modélisées de tension contrôlés en tension, permettant de déterminer un potentiel interne cible du transistor à atteindre après injection, et à une source modélisée de courant délivrant le courant d'injection proportionnel à la différence

entre le potentiel interne cible et le potentiel interne à l'instant d'injection.

Les moyens de traitement sont par ailleurs avantageusement aptes à déterminer l'évolution des potentiels internes des transistors de la cellule depuis l'état d'équilibre statique jusqu'à l'état d'équilibre dynamique, relatifs aux transitions montantes et descendantes du signal de stimulation et pour les deux valeurs initiales du signal de stimulation, et à déduire les potentiels internes des transistors correspondant au pire cas ou au meilleur cas de retard temporel de la cellule.

Les moyens de traitement peuvent être également aptes à déterminer l'évolution des différents retards temporels de la cellule, et à déterminer le retard temporel correspondant au pire cas ou au meilleur cas.

Les moyens de traitement peuvent encore être aptes à déterminer l'évolution d'autres paramètres de caractérisation de la cellule.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée du mode de réalisation et de mise en œuvre, nullement limitatif, et des dessins annexés sur lesquels :

- la figure 1 illustre schématiquement un transistor réalisé dans une technologie du type silicium sur isolant partiellement appauvri,

- la figure 2 illustre schématiquement l'évolution des potentiels internes d'un transistor NMOS d'un inverseur après une, puis deux transitions de deux signaux de stimulation ayant respectivement deux valeurs logiques initiales différentes,

- la figure 3 représente des courbes d'évolution temporelle de retards,

- la figure 4 illustre trois évolutions temporelles possibles des retards de propagation dans une cellule logique,

- la figure 5 illustre schématiquement un mode de réalisation d'un dispositif selon l'invention,

- les figures 6 à 9 représentent différentes courbes illustrant un mode de mise en oeuvre du procédé selon l'invention, et

- la figure 10 illustre partiellement un second mode de mise en oeuvre d'un procédé selon l'invention, dans lequel on procède à des injections à chaque cycle du signal de stimulation.

Sur la figure 1, la référence T désigne un transistor NMOS réalisé sur un substrat SB en silicium reposant sur une couche isolante OX1. Cette couche isolante OX1 repose elle-même sur un substrat porteur SBO.

Cette structure est typique d'une structure dite SOI bien connue de l'homme du métier. Lorsque l'épaisseur du substrat SB est suffisamment importante, par exemple typiquement supérieure à 50 nanomètres, le substrat SB est du type partiellement appauvri ("partially depleted").

Dans un tel transistor, il existe une zone neutre B se situant sous la région appauvrie et entre les régions de source et de drain. Cette zone neutre, qui va accueillir des trous, n'est pas connectée à un potentiel fixe. On parle alors d'une zone de « substrat flottant ».

Bien entendu, outre cette zone de substrat flottant, le transistor comprend de façon classique des zones de source S, de drain D et de grille G, cette dernière étant isolée du substrat SB par un oxyde de grille OXG.

Les variations du potentiel interne Vb du transistor T, c'est-à-dire du potentiel du substrat flottant B, sont causées notamment par le couplage capacitif source/grille/drain ainsi que par une ionisation par impact, des effets de génération/recombinaison et des effets tunnel de grille.

Ces variations de potentiels internes conduisent notamment à des variations de la tension de seuil et à des variations des courants de fuite et de saturation du transistor.

Par ailleurs, les structures en technologie SOI partiellement appauvrie présentent des « effets d'histoire » qui se traduisent en particulier par une dépendance temporelle des retards. Plus précisément, l'histoire récente d'une borne d'entrée à un impact sur la

performance. Ceci est illustré en particulier sur la figure 2 dans le cas d'un inverseur IV possédant une entrée A et une sortie Z.

Sur cette figure, la courbe C1 illustre l'évolution du potentiel interne du transistor NMOS de l'inverseur en réponse à un signal binaire de stimulation ST0 ayant la valeur logique 0 comme valeur initiale.

La courbe C2 illustre la même évolution du potentiel interne du transistor NMOS de l'inverseur en réponse à un signal de stimulation ST1 ayant la valeur logique 1 comme valeur initiale.

Pour observer la première occurrence de la transition 0/1, et la deuxième occurrence de la transition 0/1, il est nécessaire d'utiliser les deux signaux de stimulation ST0 et ST1. Il en est de même pour observer la première occurrence de la transition 1/0 et la seconde occurrence de la transition 1/0.

On observe sur la sortie Z, en technologie SOI, comme en technologie silicium massif, que les temps de montée sont différents des temps de descente. Cependant, dans la technologie SOI, la première occurrence et la deuxième occurrence d'une même transition ne conduisent pas à l'obtention des mêmes potentiels internes et par conséquent ne présentent pas les mêmes retards temporels. Ceci est dû aux variations du potentiel de la zone neutre B qui a des valeurs différentes selon qu'il se trouve en situation d'équilibre statique (situation A) ou qu'il a subi une récente transition et qu'il n'a pas eu le temps de retrouver un état d'équilibre (situation B).

L'état d'équilibre dynamique ("steady state") peut se définir comme le point de fonctionnement où le potentiel interne des transistors ne varie plus entre deux transitions successives du signal de stimulation, c'est-à-dire que la variation de charge est nulle dans la zone neutre B. A ce stade, les charges entrant dans la zone neutre (par le courant de fuite de la jonction zone neutre/drain polarisée en inverse, par un phénomène d'ionisation par impact, et par le courant tunnel de grille) sont égales aux charges sortant par la jonction zone neutre/source devenue passante.

Si l'on envoie un grand nombre d'impulsions sur l'entrée d'une cellule logique, par exemple un inverseur, en utilisant le signal de stimulation ST1 qui démarre de la condition logique 1, puis le signal de stimulation ST0 qui démarre de la condition logique 0, on constate (fig. 3) que les retards correspondants aux première et deuxième occurrences d'une même transition convergent (courbe CR1 et CR2 d'une part et CR3 et CR4 d'autre part). On obtient deux états d'équilibre dynamique différents pour les deux signaux de stimulation, c'est à dire pour deux valeurs logiques initiales différentes.

De même les quatre retards temporels correspondant respectivement aux première et seconde occurrences de la transition 1/0 et aux première et deuxième occurrences de la transition 0/1, sont différents.

Il conviendra donc de les déterminer, au même titre que les retards temporels correspondants aux deux états d'équilibre dynamique, de façon à pouvoir déterminer le retard temporel en situation de pire cas et/ou en situation de meilleur cas.

En effet, dans une technologie SOI partiellement appauvrie, le retard temporel pire cas (ou meilleur cas) peut se situer, comme illustré sur la figure 4, pour un signal de stimulation donné (c'est à dire ayant une valeur logique initiale donnée), lors de la première occurrence d'une transition (premier cas) ou bien dans l'état d'équilibre dynamique (deuxième cas) ou bien quelque part entre les deux (troisième cas).

En théorie, l'état d'équilibre dynamique est atteint après plusieurs centaines de milliers d'impulsions sur l'entrée de la porte considérée, ce qui représente un temps de simulation de l'ordre de plusieurs heures pour un simple inverseur et est par conséquent impossible à simuler pour une cellule plus complexe.

L'invention permet de résoudre ce problème et permet notamment de déterminer très rapidement les potentiels internes des transistors d'une cellule logique dans leur état d'équilibre dynamique.

A cet égard, il est prévu pour caractériser une cellule logique, des moyens de modélisation MDL de la cellule, utilisant par exemple

un modèle de transistor du type « BSIM3SOI partiellement appauvri » disponible sur le site Internet de l'Université de Berkeley (Etats-Unis) ou bien un modèle du type « SOISPICE » disponible auprès de l'université de Floride (Etats Unis), et des moyens de traitement MT (fig. 5) aptes à effectuer une phase de détermination des potentiels internes V_b des transistors de la cellule.

D'une façon générale, dans la phase de détermination de ces potentiels internes on injecte dans le substrat flottant de chaque transistor de la cellule, et à des instants d'injection successifs prédéterminés, une charge proportionnelle à la variation du potentiel interne de ce transistor déterminée au cours de l'intervalle temporel prédéterminé du signal de stimulation précédant l'instant d'injection courant et exempt d'injection, de façon à accélérer la charge ou la décharge du substrat flottant du transistor.

Sur la figure 6, le signal de stimulation ST (ou V_{in}) est un signal périodique binaire de période P prenant successivement les valeurs 0 et 1.

Dans cette mise en œuvre, les instants d'injection du courant t_j sont séparés d'une durée égale à deux périodes du signal de stimulation.

Par ailleurs, chaque instant d'injection se situe au cours d'un plateau du signal de stimulation ST, par exemple sensiblement au milieu du plateau bas. L'intervalle temporel de calcul TC de la variation du potentiel interne de chaque transistor de la cellule ne doit pas contenir d'instant d'injection. En conséquence, dans l'exemple illustré sur la figure 6, l'intervalle temporel TC débute à l'instant initial t_0 précédant l'instant d'injection t_j de trois demi-périodes P du signal de stimulation.

Cet intervalle TC se termine à l'instant t_f précédant l'instant d'injection d'une demi-période du signal de stimulation.

En d'autres termes, dans l'exemple illustré ici, pendant une première durée du signal d'entrée ST, la variation du potentiel du substrat flottant de chaque transistor est évaluée. Pendant la durée suivante, un courant est injecté dans les substrats flottants des

transistors jusqu'à ce que leur variation de potentiel atteigne n fois la variation de potentiel interne calculée. Ainsi, le circuit voit l'équivalent de $(1 + n)$ impulsions du signal de stimulation au cours d'une durée égale à deux périodes du signal de stimulation, ce qui conduit à un facteur d'accélération égal à $(1 + n)/2$.

Ce procédé est autoconvergent car la variation de potentiel interne à l'état d'équilibre dynamique est nulle.

Un mode de mise en œuvre du procédé consiste simplement à remplacer alors chaque transistor de la cellule logique par un sous-circuit contenant un modèle de transistor, par exemple un modèle BSIM3, associé à trois sources modélisées de tension contrôlées en tension et à une source modélisée de courant commandée en tension. La première source de courant fournit le potentiel interne du transistor retardé d'une période P du signal de stimulation (formule I ci-dessous):

$$Vb'(t) = Vb(t-P) \quad (I)$$

La deuxième source de tension fournit la variation du potentiel interne du transistor sur une période, et retardée d'une demi-période (formule II ci-dessous) :

$$\begin{aligned} \Delta Vb(t) &= Vb(t-P/2) - Vb'(t-P/2) \\ &= Vb(t-P/2) - Vb(t-3P/2) \end{aligned} \quad (II)$$

La troisième source de tension fournit un potentiel cible Vbc défini par la formule III ci-dessous :

$$Vbc(t) = Vb'(t) + n\Delta Vb(t) = Vb(t-P) + n\Delta Vb(t) \quad (III)$$

Finalement, l'injection est effectuée avec une source de courant délivrant un courant proportionnel à la différence entre le potentiel cible à l'instant d'injection et le potentiel interne courant à l'instant

d'injection. Ce courant I_{inj} à l'instant t d'injection, est défini par la formule IV ci-dessous :

$$I_{inj}(t) = A(V_{bc}(t) - V_b(t)).V_{clk}(t) \quad (IV)$$

5

Dans cette formule, A est un coefficient de proportionnalité prédéterminé et V_{clk} est une source de tension externe commune à tous les transistors, ayant, dans l'exemple décrit ici, une période double de celle du signal de stimulation utilisé, de façon à effectuer l'injection une impulsion sur deux.

10

On voit donc que le courant d'injection est déterminé de sorte qu'après injection, la variation du potentiel interne du transistor considéré atteigne n fois la variation mesurée du potentiel interne.

D'un point de vue pratique, la simulation fonctionnelle selon l'invention peut être effectuée par des moyens de simulation logiciels mettant en œuvre par exemple un logiciel de simulation connu sous la dénomination Eldo et commercialisé par la société Mentor Graphics.

15

La valeur de n est déterminée à partir de la mesure de la variation du potentiel interne d'un transistor de la cellule au cours d'une simulation sur une période du signal de stimulation. Le logiciel Eldo fournit alors cette variation ΔV_b . Par ailleurs, on connaît approximativement l'amplitude estimée de la variation du potentiel interne d'un transistor NMOS ou d'un transistor PMOS entre son état d'équilibre statique et son état d'équilibre dynamique. Cette amplitude est typiquement de l'ordre de 100 millivolts pour un transistor NMOS. Elle est inférieure pour un transistor PMOS.

20

25

On fixe alors un saut maximum admissible pour le potentiel interne au cours d'un cycle d'injection, par exemple 10 millivolts pour un transistor NMOS et 5 millivolts pour un transistor PMOS. Le rapport de ce saut maximum sur la variation du potentiel interne mesuré sur le premier cycle, fournit la valeur du coefficient n .

30

En ce qui concerne le facteur de proportionnalité A , celui-ci doit être choisi suffisamment élevé pour que le potentiel interne atteigne le potentiel V_{bc} sur la période d'injection. Par contre, il ne

doit pas être trop élevé car cela conduirait alors à une injection trop rapide, ce qui poserait des problèmes de discrétisation temporelle au niveau du simulateur.

On choisira alors de préférence une injection qui s'effectue en quelques picosecondes, ce qui est bien supérieur au pas de temps du simulateur et inférieur à la durée d'un plateau du signal de stimulation lorsque celui-ci est par exemple celui illustré sur la figure 7.

La fixation du coefficient de procédé A s'effectue également à partir de la simulation fonctionnelle effectuée sur le premier cycle. Ainsi, outre la variation ΔV_b du potentiel interne sur ce cycle, les moyens de simulation fournissent également la variation de charge ΔQ_b .

Le rapport entre cette variation de charge et la variation du potentiel interne fournit la capacité équivalente du substrat flottant du transistor. Le coefficient A est alors fourni par le rapport entre cette capacité équivalente et la durée d'injection.

Ainsi, avec un signal de stimulation tel que celui illustré sur les figures 7 et 8 (sur la figure 8 V_{in} est la tension d'entrée correspondant au signal de stimulation) et un signal d'horloge V_{clk} tel que celui illustré sur la figure 8, on observe sur la figure 9 qu'une injection en quelques picosecondes permet au potentiel interne courant du transistor V_b de rejoindre le potentiel cible V_{bc} au cours de la période d'injection. On notera sur cet exemple que l'injection débute après quatre cycles du signal de stimulation.

Ainsi, avec un facteur d'accélération de 1000, l'état d'équilibre dynamique peut être atteint pour un inverseur simple en 3 mn 15" correspondant à 400 impulsions simulées, ce qui correspond à 398 000 impulsions réelles. A titre indicatif, une méthode classique exhaustive aurait conduit à l'obtention de l'état d'équilibre au bout de 400 000 impulsions en un temps de 8 heures 40 minutes.

L'invention permet alors de déterminer l'évolution des potentiels internes de la cellule correspondant à des transitions montantes du signal de stimulation. Pour cela, on calculera à l'aide du

simulateur Eldo, les valeurs des potentiels internes juste avant une transition montante.

Ceci peut être effectué également pour les transitions descendantes.

5 En outre, on effectue ces déterminations pour les deux valeurs initiales du signal de stimulation.

On peut également suivre au cours de la simulation l'évolution d'autres paramètres, tels que les retards temporels ou la consommation, qui sont fournis par le logiciel Eldo.

10 Toutes ces évolutions de ces paramètres permettent de déterminer le meilleur cas et/ou le pire cas pour ces paramètres, en particulier les pires cas ou meilleurs cas de retards temporels.

15 L'invention s'applique également à la caractérisation de cellules plus complexes. Ainsi, dans le cas d'une porte NAND à deux entrées, alors que l'état de l'équilibre dynamique n'est toujours pas atteint avec une simulation classique au bout de 400 000 impulsions du signal de stimulation l'équivalent de 49 millions de pulse à été simulé avec le procédé d'accélération selon l'invention en moins de trois minutes, ce qui correspond à 160 impulsions simulées.

20 L'invention n'est pas limitée aux modes de mise en œuvre et de réalisation qui viennent d'être décrits mais en embrasse toutes les variantes. Ainsi, comme illustré sur la figure 10, on pourrait concevoir d'effectuer une injection à des instants d'injection séparés d'une période du signal de stimulation. Ces instants d'injection pourraient se
25 situer dans la deuxième moitié du plateau bas de chaque période du signal de stimulation et l'intervalle temporel TC de calcul de la variation du potentiel interne se situerait alors entre le début d'une période du signal de stimulation et la première moitié du plateau bas.

30

REVENDICATIONS

1. Procédé de caractérisation d'une cellule logique CMOS destinée à être réalisée dans une technologie du type silicium sur isolant partiellement appauvri, comprenant une modélisation de la cellule et une phase de détermination des potentiels internes de la cellule basée sur une simulation fonctionnelle de la cellule modélisée utilisant un signal périodique binaire de stimulation (ST) et dans laquelle on injecte dans le substrat flottant (B) de chaque transistor de la cellule, et à des instants d'injections successifs prédéterminés, une charge proportionnelle à la variation du potentiel interne de ce transistor déterminée au cours d'un intervalle temporel prédéterminé (TC) du signal de stimulation précédant l'instant d'injection courant et exempt d'injection, de façon à accélérer la charge ou la décharge du substrat flottant du transistor.
2. Procédé selon la revendication 1, caractérisé par le fait qu'on détermine un courant d'injection correspondant à la charge injectée de sorte qu'après injection la variation du potentiel interne (V_b) du transistor considéré atteigne n fois ladite variation mesurée du potentiel interne.
3. Procédé selon la revendication 2, caractérisé par le fait qu'on détermine la valeur de n à partir de la mesure de la variation du potentiel interne d'un transistor de la cellule au cours d'un cycle du signal de stimulation et d'une amplitude estimée de la variation du potentiel interne de ce transistor entre son état d'équilibre statique et son état d'équilibre dynamique.
4. Procédé selon l'une des revendications précédentes, caractérisé par le fait qu'on détermine la valeur du coefficient de proportionnalité (A) à partir de la mesure de la variation du potentiel interne et de la variation de charge d'un transistor de la cellule au cours d'un cycle du signal de stimulation, et de la durée d'injection.
5. Procédé selon l'une des revendications précédentes, caractérisé par le fait que le signal de stimulation (ST) comporte sur chaque période une transition séparant deux plateaux, par le fait qu'un

instant d'injection se situe au cours sur un plateau et à distance d'une transition, et par le fait que la durée d'injection du courant est choisie supérieure au pas de temps de la simulation fonctionnelle et inférieure à la durée d'un plateau.

5 6. Procédé selon l'une des revendications précédentes, caractérisé par le fait que deux instants d'injection consécutifs sont espacés d'une durée égale à deux périodes du signal de stimulation, et par le fait que ledit intervalle temporel (TC) a une durée égale à une période du signal de stimulation.

10 7. Procédé selon la revendication 6, caractérisé par le fait que l'instant initial (t_0) de l'intervalle temporel précède l'instant d'injection de 1,5 périodes du signal de stimulation, et l'instant final (t_f) de l'intervalle temporel précède l'instant d'injection de 0,5 période du signal de stimulation.

15 8. Procédé selon l'une des revendications précédentes, caractérisé par le fait que pour la simulation fonctionnelle on remplace chaque transistor de la cellule par un modèle de ce transistor associé à trois sources modélisées de tension contrôlées en tension, permettant de déterminer un potentiel interne cible (V_{bc}) du transistor à atteindre
20 après injection, et à une source modélisée de courant délivrant un courant d'injection proportionnel à la différence entre le potentiel interne cible et le potentiel interne à l'instant d'injection.

 9. Procédé selon les revendications 7 et 8, caractérisé par le fait que la première source de tension fournit à l'instant d'injection, la
25 valeur du potentiel interne du transistor retardée d'une période du signal de stimulation, par le fait que la deuxième source de tension fournit la variation de potentiel interne sur une période, retardée d'une demi période du signal de stimulation, et par le fait que la troisième source de tension fournit le potentiel interne cible (V_{bc}).

30 10. Procédé selon l'une des revendications précédentes, caractérisé par le fait qu'on détermine l'évolution des potentiels internes des transistors de la cellule depuis l'état d'équilibre statique jusqu'à l'état d'équilibre dynamique, relatifs aux transitions montantes et descendantes du signal de stimulation et pour les deux valeurs

initiales du signal de stimulation, et par le fait qu'on en déduit les potentiels internes des transistors correspondant au pire cas ou au meilleur cas de retard temporel de la cellule.

5 11. Procédé selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte une détermination de l'évolution des différents retards temporels de la cellule, ainsi qu'une détermination des retards temporels correspondant au pire cas ou au meilleur cas.

10 12. Procédé selon l'une des revendications précédentes, caractérisé par le fait qu'on détermine l'évolution d'autres paramètres de caractérisation de la cellule, ainsi que les valeurs de ces paramètres correspondant au pire cas ou au meilleur cas.

15 13. Dispositif de caractérisation d'une cellule logique CMOS destinée à être réalisée dans une technologie du type silicium sur isolant partiellement appauvri, comprenant des moyens de modélisation (MDL) de la cellule et des moyens de traitement (MT) aptes à effectuer une phase de détermination des potentiels internes de la cellule basée sur une simulation fonctionnelle de la cellule modélisée utilisant un signal périodique binaire de stimulation et dans laquelle les moyens de traitement sont aptes à injecter dans le substrat flottant de chaque transistor de la cellule, et à des instants d'injections successifs
20 prédéterminés, une charge proportionnelle à la variation du potentiel interne de ce transistor déterminée au cours d'un intervalle temporel prédéterminé du signal de stimulation précédant l'instant d'injection courant et exempt d'injection, de façon à accélérer la charge ou la
25 décharge du substrat flottant du transistor.

14. Dispositif selon la revendication 13, caractérisé par le fait que les moyens de traitement (MT) déterminent un courant d'injection correspondant à la charge injectée de sorte qu'après injection la variation du potentiel interne du transistor considéré atteigne n fois
30 ladite variation mesurée du potentiel interne.

15. Dispositif selon la revendication 14, caractérisé par le fait que les moyens de traitement (MT) déterminent la valeur de n à partir de la mesure de la variation du potentiel interne d'un transistor de la cellule sur un cycle du signal de stimulation et d'une amplitude

estimée de la variation du potentiel interne de ce transistor entre son état d'équilibre statique et son état d'équilibre dynamique.

5 16. Dispositif selon l'une des revendications 13 à 15, caractérisé par le fait que les moyens de traitement déterminent le coefficient de proportionnalité (A) à partir de la mesure de la variation du potentiel interne et de la variation de charge d'un transistor de la cellule au cours d'un cycle du signal de stimulation, et de la durée d'injection.

10 17. Dispositif selon l'une des revendications 13 à 16, caractérisé par le fait que le signal de stimulation (ST) comporte sur chaque période une transition séparant deux plateaux, par le fait qu'un instant d'injection se situe au cours d'un plateau et à distance d'une transition, et par le fait que la durée d'injection du courant est choisie supérieure au pas de temps de la simulation fonctionnelle et inférieure à
15 la durée d'un plateau.

18. Dispositif selon l'une des revendications 13 à 17, caractérisé par le fait que deux instants d'injection consécutifs sont espacés d'une durée égale à deux périodes du signal de stimulation, et par le fait que ledit intervalle temporel a une durée égale à une période
20 du signal de stimulation.

19. Dispositif selon la revendication 18, caractérisé par le fait que l'instant initial de l'intervalle temporel précède l'instant d'injection de 1,5 périodes du signal de stimulation, et l'instant final de l'intervalle temporel précède l'instant d'injection de 0,5 période du
25 signal de stimulation.

20. Dispositif selon l'une des revendications 13 à 19, caractérisé par le fait que les moyens de modélisation (MDL) comportent pour chaque transistor de la cellule un modèle de ce transistor associé à trois sources modélisées de tension contrôlées en
30 tension, permettant de déterminer un potentiel interne cible du transistor à atteindre après injection, et à une source modélisée de courant délivrant un courant d'injection proportionnel à la différence entre le potentiel interne cible et le potentiel interne à l'instant d'injection.

21. Dispositif selon les revendications 19 et 20, caractérisé par le fait que la première source de tension fournit à l'instant d'injection, la valeur du potentiel interne du transistor retardée d'une période du signal de stimulation, par le fait que la deuxième source de tension fournit la variation de potentiel interne sur une période, retardée d'une demi période du signal de stimulation, et par le fait que la troisième source de tension fournit le potentiel interne cible.

22. Dispositif selon l'une des revendications 13 à 21, caractérisé par le fait que les moyens de traitement sont aptes à déterminer l'évolution des potentiels internes des transistors de la cellule depuis l'état d'équilibre statique jusqu'à l'état d'équilibre dynamique, relatifs aux transitions montantes et descendantes du signal de stimulation et pour les deux valeurs initiales du signal de stimulation, et à déduire les potentiels internes des transistors correspondant au pire cas ou au meilleur cas.

23. Dispositif selon la revendication 22, caractérisé par le fait que les moyens de traitement sont aptes à déterminer l'évolution des différents retards temporels de la cellule, et à déterminer les retards temporels correspondant au pire cas ou au meilleur cas.

24. Dispositif selon la revendication 23, caractérisé par le fait que les moyens de traitement sont aptes à déterminer l'évolution d'autres paramètres de caractérisation de la cellule et à déterminer les valeurs de ces paramètres pour le pire cas ou le meilleur cas.

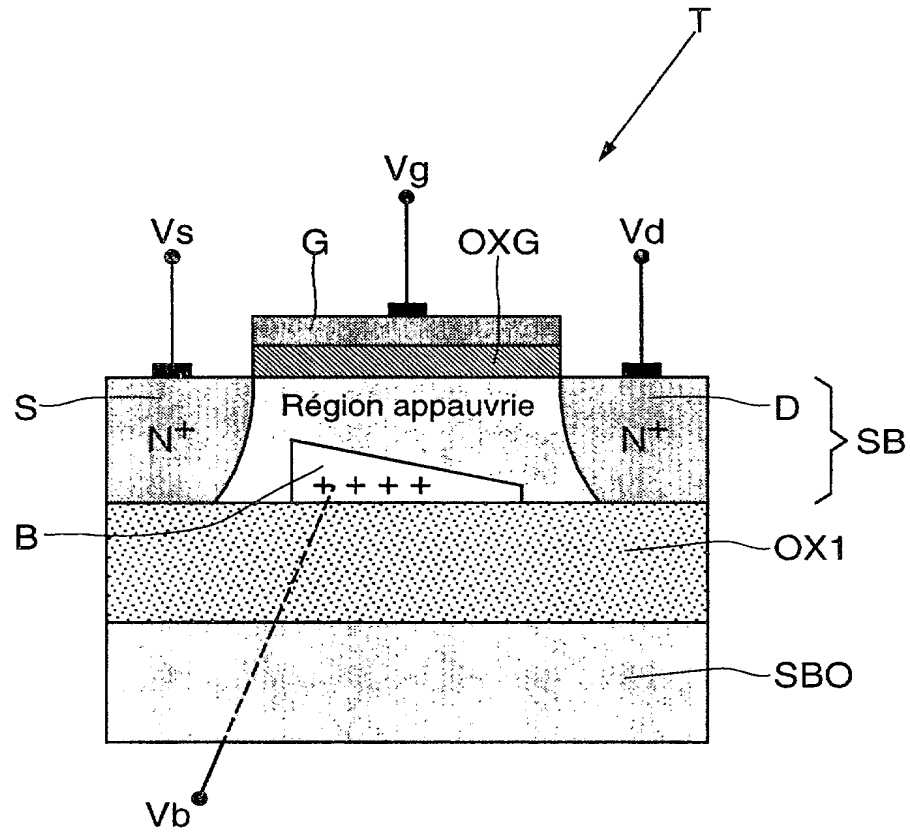
FIG.1

FIG.2

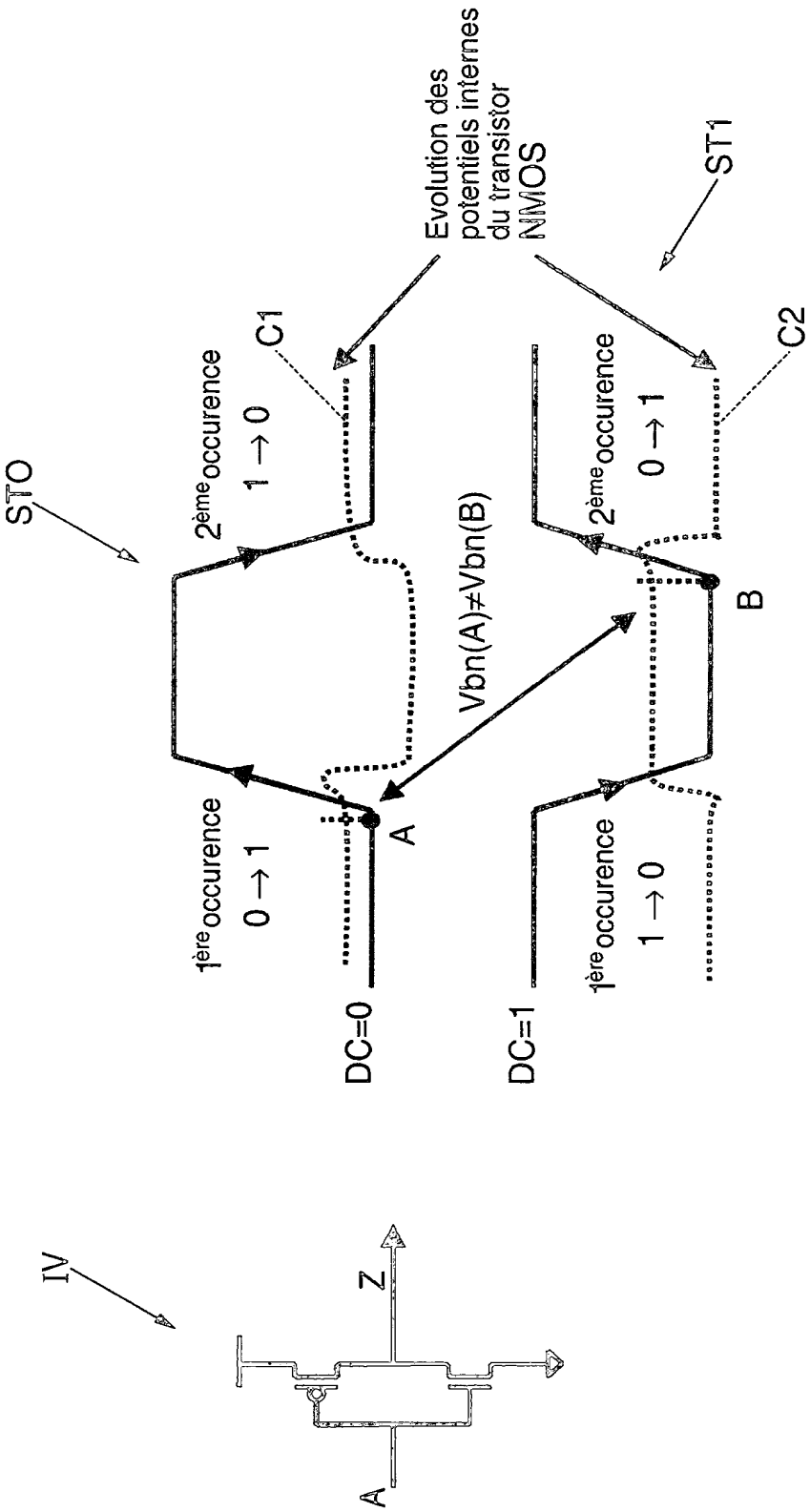


FIG.3

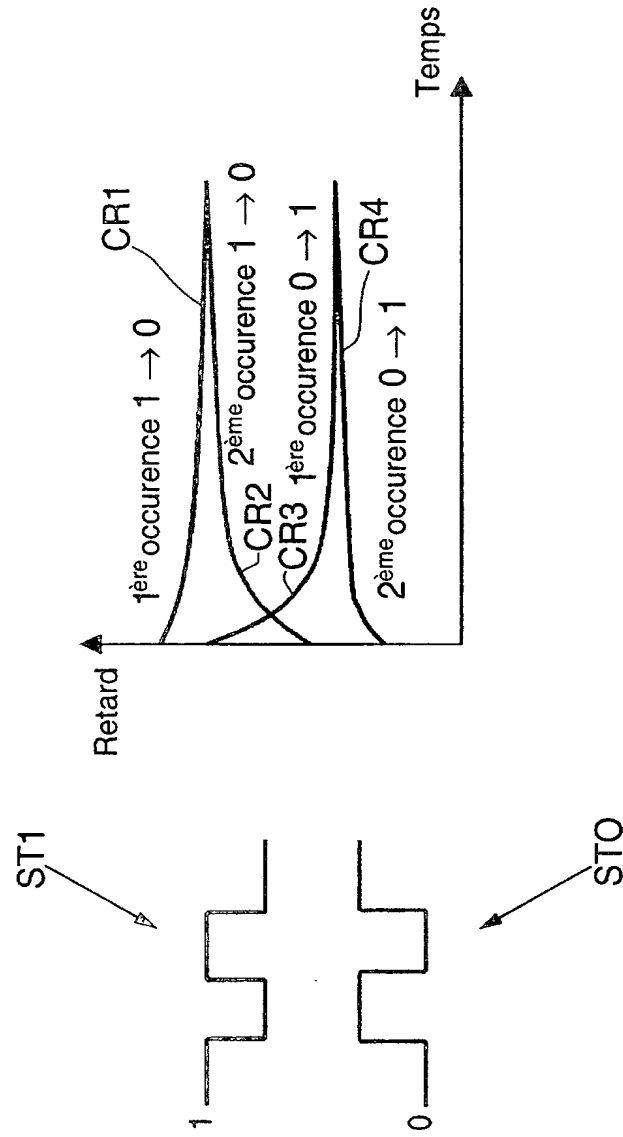


FIG.4

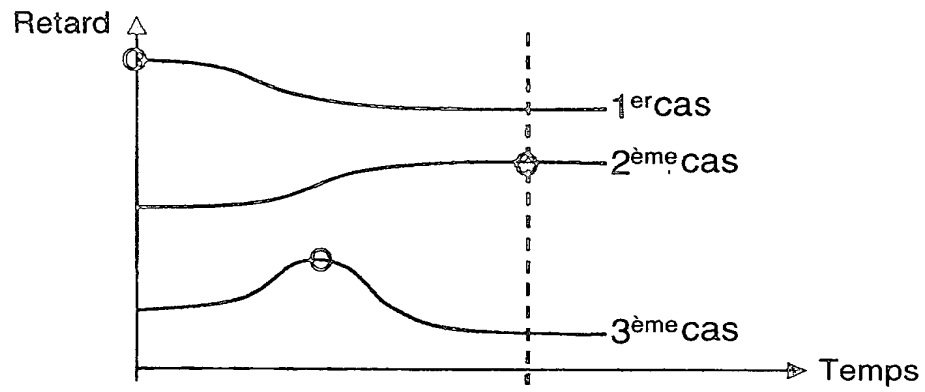


FIG.5

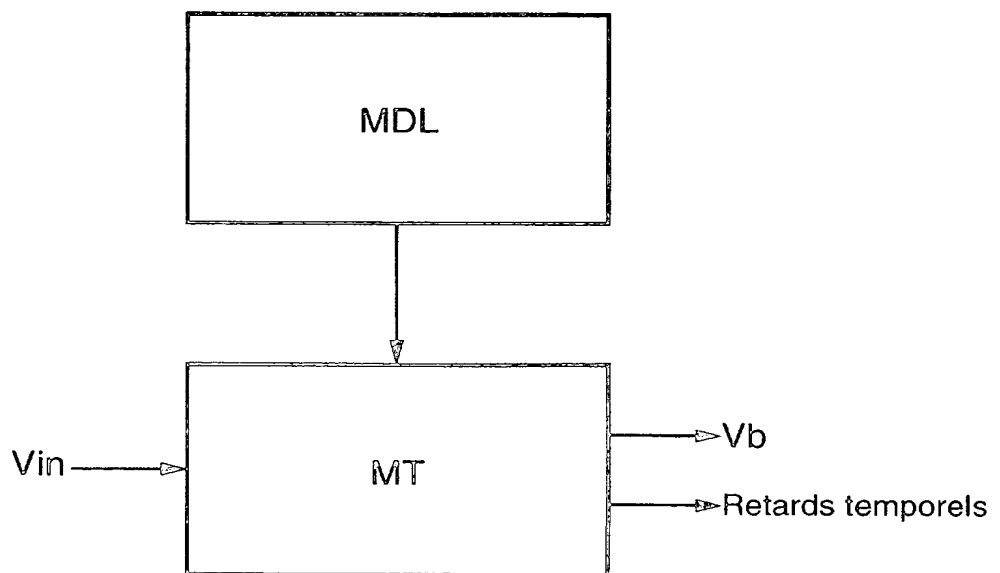
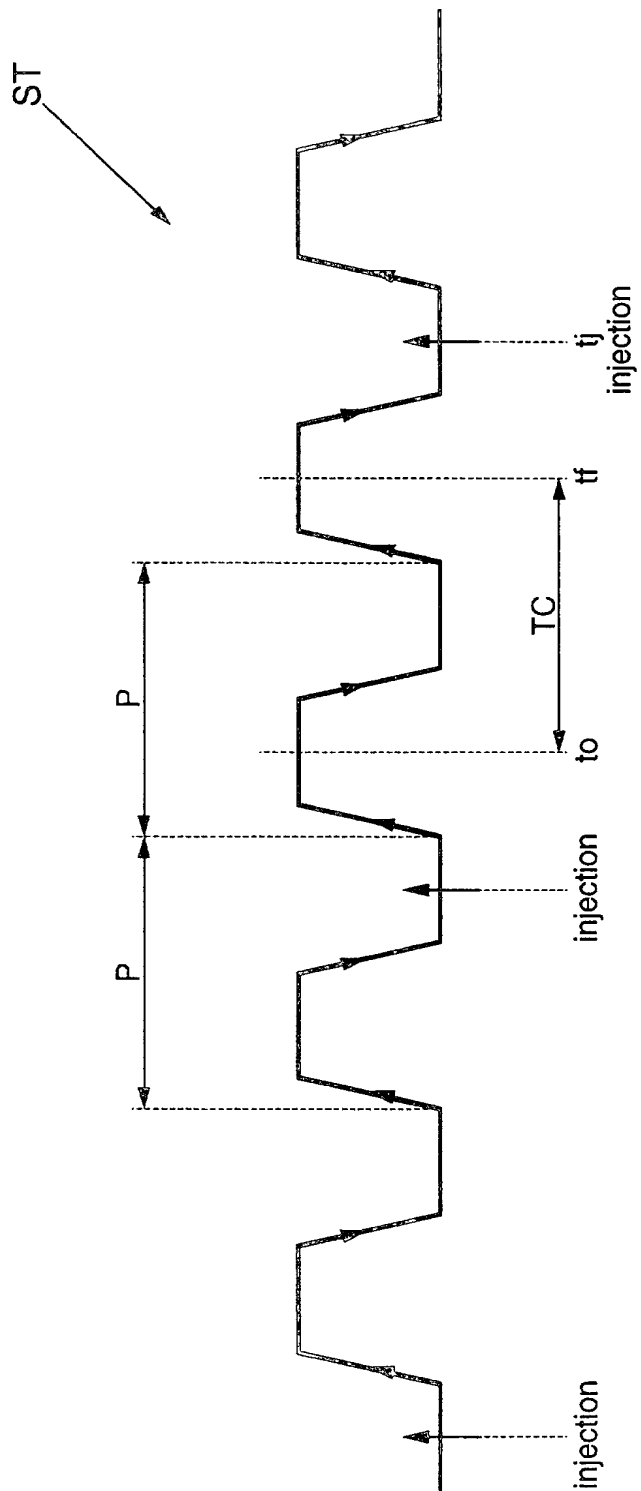


FIG.6



6/8

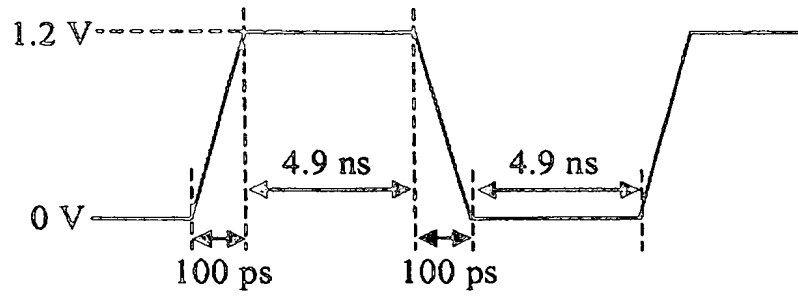
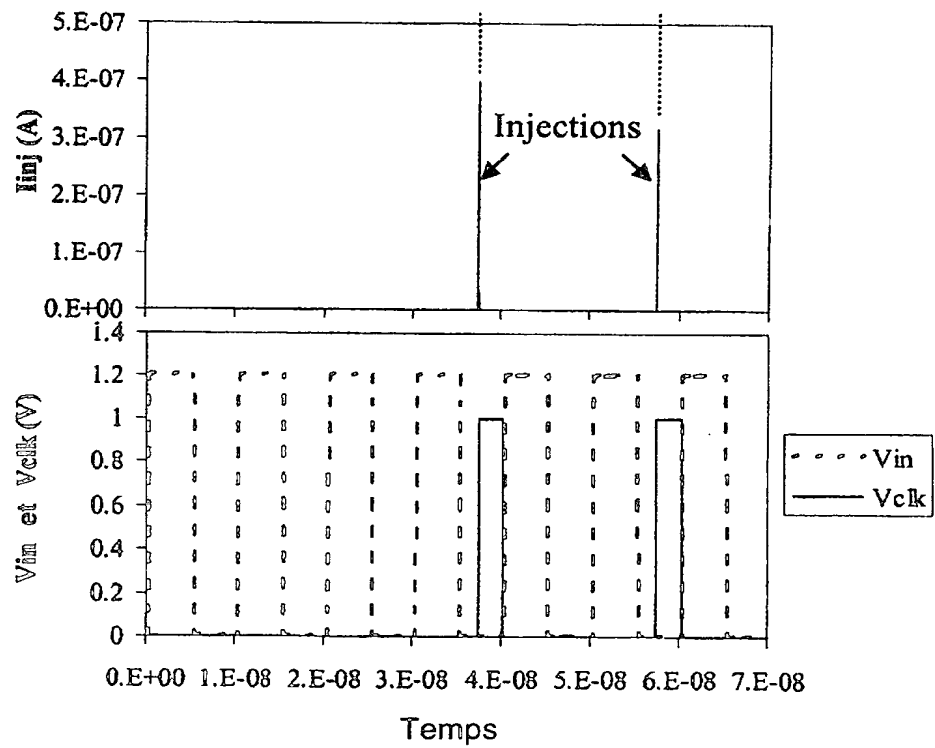
FIG.7FIG.8

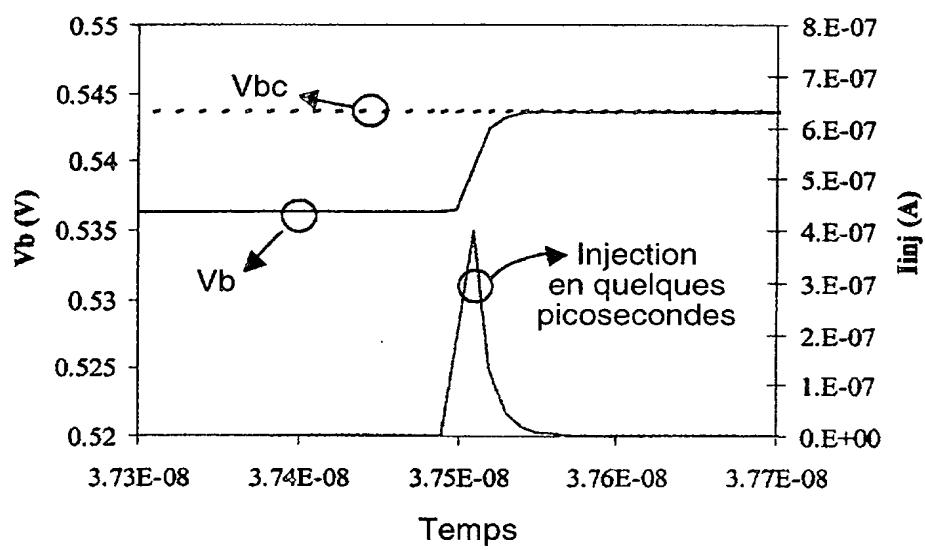
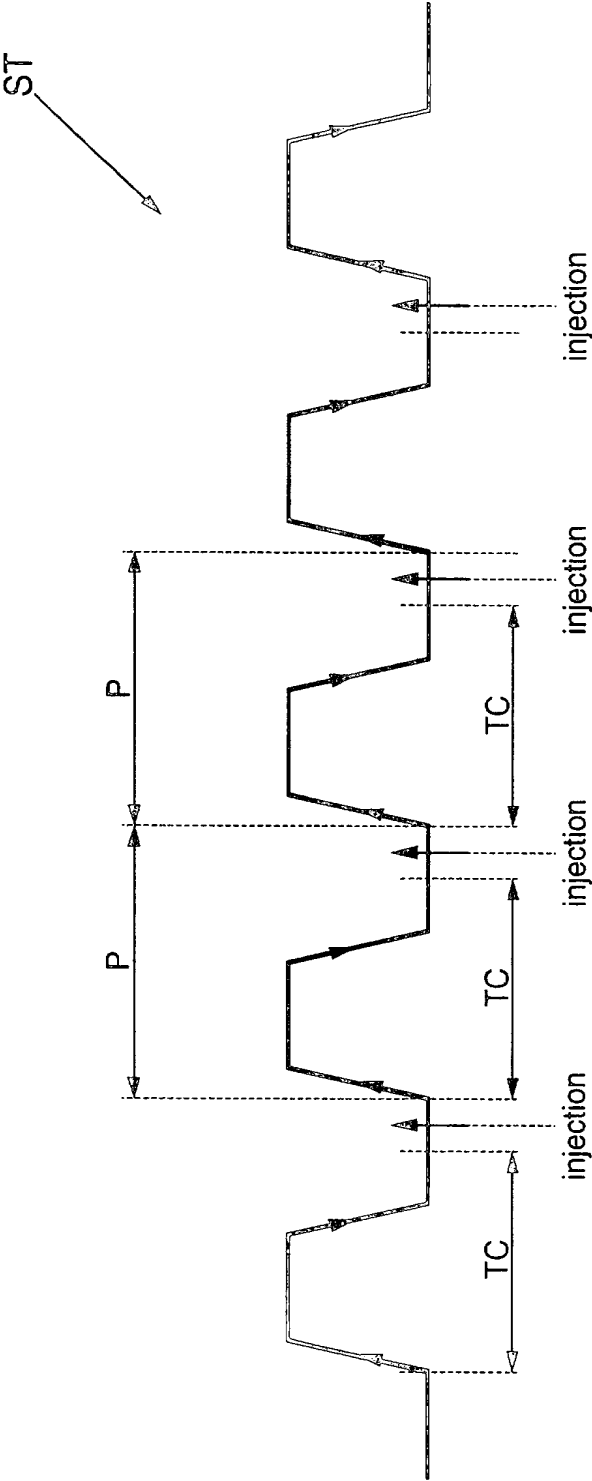
FIG.9

FIG.10





BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11235*03

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° 1.../1...

(À fournir dans le cas où les demandeurs et
les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 - W / 270501

Vos références pour ce dossier (facultatif)		B 02/2055 FR
N° D'ENREGISTREMENT NATIONAL		0212022
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
Procédé et dispositif de caractérisation d'une cellule logique CMOS destinée à être réalisée dans une technologie du type silicium sur isolant partiellement appauvri, permettant une simulation accélérée des effets d'histoire.		
LE(S) DEMANDEUR(S) :		
Société Anonyme dite : STMicroelectronics SA et Etablissement public de caractère scientifique, technique et industriel dit : COMMISSARIAT A L'ENERGIE ATOMIQUE		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1	Nom	POIROUX
	Prénoms	Thierry
Adresse	Rue	55 rue Boutet
	Code postal et ville	3181340 VOREPPE
Société d'appartenance (facultatif)		
2	Nom	FLATRESSE
	Prénoms	Philippe
Adresse	Rue	14 rue aux Ports
	Code postal et ville	318190 FROGES
Société d'appartenance (facultatif)		
3	Nom	
	Prénoms	
Adresse	Rue	
	Code postal et ville	
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Paris, le 27 septembre 2002
		Axel CASALONGA, bm 92 1044 i Conseil en Propriété Industrielle

